

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

JCS64 U.S. PTO
10/028972
12/28/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 36731 호
Application Number PATENT-2001-0036731

출원년월일 : 2001년 06월 26일
Date of Application JUN 26, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2001 년 11 월 05 일

특 허 청 장

COMMISSIONER

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0007
【제출일자】 2001.06.26
【발명의 명칭】 반도체 소자의 층간 절연막 형성 방법
【발명의 영문명칭】 Method of forming a inter-dielectric layer in a semiconductor device

【출원인】

【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 이가원
【성명의 영문표기】 LEE, Ga Won
【주민등록번호】 710603-2411910
【우편번호】 467-850
【주소】 경기도 이천시 대월면 사동리 현대6차 아파트
601-1602

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	8 항	365,000 원
【합계】	394,000 원	

1020010036731

출력 일자: 2001/11/6

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 층간 절연막 형성 방법에 관한 것으로, 특히 금속 배선 사이에 절연물질을 매립하여 전기적으로 절연시키는 과정에서 금속 배선 사이에 플러그가 형성되는 영역에만 선택적으로 절연막 스페이서를 형성하고, 플러그가 형성되지 않는 영역은 절연막 스페이서를 제거하여 금속 배선간의 종횡비를 최대한 낮춰줌으로써 간격이 좁은 금속 배선 사이에서도 보이드 없이 용이하게 절연물질을 매립할 수 있는 반도체 소자의 층간 절연막 형성 방법이 개시된다.

【대표도】

도 5

【색인어】

Gap filling, 절연물 스페이서, Pre-Poly-Plug

【명세서】

【발명의 명칭】

반도체 소자의 층간 절연막 형성 방법{Method of forming a inter-dielectric layer in a semiconductor device}

【도면의 간단한 설명】

도 1은 일반적인 DRAM의 레이아웃도.

도 2a 내기 도 2c는 도 1의 선 a-a', b-b' 및 c-c'에 따라 절취한 소자의 단면도.

도 3a 내기 도 3c는 도 1의 선 A-A', B-B' 및 C-C'에 따라 절취한 소자의 단면도.

도 4a 및 도 4b는 중형비 증가에 따른 갭 필링 문제를 설명하기 위한 소자의 단면도.

도 5a 및 도 5b는 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법을 설명하기 위하여 도시한 레이 아웃도.

도 6a 내기 도 6c는 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법의 또 다른 실시예를 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 71 : 반도체 기판 11a, 51a, 71a : 활성 영역

12, 72 : 소자 분리막 13, 53 : 워드 라인
14, 54 : 워드 라인 스페이서 15, 73 : 제 1 층간 절연막
16 : 비트 라인 플러그 17, 57, 75 : 비트 라인
18, 58, 77 : 비트 라인 스페이서 19, 80 : 제 2 층간 절연막
20 : 콘택 플러그 60 : 제 1 포토 레지스트 패턴
61 : 제 2 포토 레지스트 패턴 74 : 제 1 콘택 플러그
76 : 질화막 78 : 제 2 콘택 플러그
79 : 포토레지스트 패턴 A : 보이드

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17> 본 발명은 반도체 소자의 층간 절연막 형성 방법에 관한 것으로, 특히 금속 배선 사이에 절연물질을 매립하여 전기적으로 절연시키는 과정에서 간격이 좁은 금속 배선 사이에서도 보이드 없이 용이하게 절연물질을 매립할 수 있는 반도체 소자의 층간 절연막 형성 방법에 관한 것이다.

<18> DRAM의 세대가 진행됨에 따라 사용되는 MOSFET 채널의 길이는 크게 감소되고 있으며, 워드 라인 및 비트 라인의 미니멈 피치 사이즈(Minimum pitch size)도 점차 줄어들고 있다. 더욱이 DRAM과 같은 다층 메탈 구조 시스템에서는 메탈

라인과 메탈 플러그간의 절연을 위하여 메탈 라인에 질화물이나 산화물을 사용하여 측벽(Sidewall)에 절연물 스페이서를 형성하는 방법을 많이 사용하게 되는데, 이로 인해 실질적인 금속 라인간의 간격은 더욱 작아진다. 이 경우 IMD(Inter Metal Dielectric) 증착 시 캡 필링(Gap filling)이 심각한 문제로 대두되고 있다.

<19> 도 1은 워드 라인과 비트 라인을 형성한 후의 일반적인 8F2 DRAM의 레이아웃도이다. 도 2a 내지 도 2c는 도 1의 선 a-a', b-b' 및 c-c'에 따라 절취한 소자의 단면도이다. 도 3a 내지 도 3c는 도 1의 선 A-A', B-B' 및 C-C'에 따라 절취한 소자의 단면도이다.

<20> 도 1, 도 2a 내지 도 2c 및 도 3a 내지 도 3c를 참조하면, 소자 분리막(12)이 형성된 반도체 기판(11)에는 통상의 공정을 통해 워드 라인(13), 워드라인 스페이서(14), 제 1 층간 절연막(15), 비트 라인 플러그(16), 비트 라인(17), 비트 라인 스페이서(18), 제 2 층간 절연막(19) 및 콘택 플러그(20)가 순차적으로 형성된다.

<21> 상기에서 서술한 바와 같이, DRAM과 같은 다층 메탈 구조 시스템에서는 메탈 라인(비트라인 또는 워드 라인)과 메탈 플러그(비트 라인 플러그 또는 콘택 플러그)간의 절연을 위하여 메탈 라인에 질화물이나 산화물을 사용하여 측벽(Sidewall)에 절연물 스페이서(워드 라인 스페이서 또는 비트라인 스페이서)를 형성하는데, 이는 소자의 집적도가 높아지면서 메탈 라인간의 간격이 더 좁아지게 한다.

- 22· 도 4a 및 도 4b는 중횡비 증가에 따른 갭 필링 문제를 설명하기 위한 소자의 단면도이다.
- 23· 도 1 및 도 4a를 참조하면, DRAM을 제조하기 위하여 먼저 소자 분리막(12)이 형성된 반도체 기판(11)에 통상의 공정을 통해 워드 라인(13), 워드라인 스페이서(14), 제 1 층간 절연막(15), 비트 라인 플러그(16), 비트 라인(17) 및 비트 라인 스페이서(18)가 형성된다.
- 24· 이때, 비트 라인(17)간의 간격(W)은 비트 라인 스페이서의 폭(L)만큼 줄어들어 실제적인 비트라인간의 간격(W')은 $W-2L$ 이 된다.
- 25· 도 1 및 도 4b를 참조하면, 비트 라인(17) 및 비트 라인 스페이서(18)가 형성된 상태에서 상부 요소와의 전기적인 절연을 위하여 전체 상부에 제 2 층간 절연막(19)을 형성한다.
- 26· 이때, 비트 라인(17)간의 중횡비가 비트라인 스페이서(18)에 의해 높아지고, 이에 따라, 비트 라인(17) 사이의 하부에서 형성되는 제 2 층간 절연막(19)의 속도보다 비트 라인(17)의 상부에 형성되는 속도가 더욱 더 빨라지므로 비트 라인(17) 사이의 하부에는 보이드(Void; A)가 발생된다. 이는 소자의 전기적 특성 및 공정의 신뢰성을 저하시킨다.

【발명이 이루고자 하는 기술적 과제】

- 27· 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 금속 배선 사이에 플러그가 형성되는 영역에만 선택적으로 절연막 스페이서를 형성하고, 플러그가 형

성되지 않는 영역은 절연막 스페이서를 제거하여 금속 배선간의 종횡비를 최대한 낮춰줌으로써 금속 배선간의 절연물 매립 특성을 향상시킬 수 있는 반도체 소자의 층간 절연막 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<28> 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법의 제 1 실시예는 통상의 공정을 거쳐 소정의 패턴으로 도전층 패턴 및 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 단계, 콘택 플러그가 형성될 영역 이외의 영역에 형성된 절연막 스페이서를 제거하는 단계 및 전체 상부에 층간 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<29> 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법의 제 2 실시예는 통상의 공정을 거쳐 소정의 패턴으로 도전체 패턴을 형성하는 단계, 전체 상부에 층간 절연막을 형성하는 단계 및 콘택 플러그가 형성될 영역의 층간 절연막을 제거한 후 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 것을 특징으로 한다.

<30> 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법의 제 3 실시예는 통상의 공정을 거쳐 소정의 패턴으로 도전층 패턴 및 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 단계, 도전층 패턴 사이를 전도성 물질로 매립하는 단계, 소정의 영역에만 전도성 물질을 제거하고, 나머지 영역의 전도성 물질은 잔류시

켜 콘택 플러그를 형성하는 단계 및 전도성 물질이 제거된 영역의 도전층 패턴 사이를 중간 절연막으로 매립하는 단계로 이루어지는 것을 특징으로 한다.

<31> 상기에서, 도전층 패턴은 워드 라인 또는 비트 라인일 수도 있다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다.

<33> 도 5a 및 도 5b는 본 발명에 따른 반도체 소자의 중간 절연막 형성 방법을 설명하기 위하여 도시한 레이아웃도이다.

<34> 도 5a를 참조하면, 반도체 기판에 통상의 공정으로 소자 분리막(도시되지 않음), 집합 영역(51a), 워드 라인(53) 및 워드라인 스페이서(54)를 형성한다. 이후 후속 공정에서 형성될 커패시터를 포함한 상부 요소와의 전기적인 연결을 위하여 콘택 플러그가 형성될 영역에 제 1 포토 레지스트 패턴(60)을 형성한다. 제 1 포토 레지스트 패턴(60)은 콘택 플러그가 형성될 영역의 워드 라인 스페이서(54)가 충분히 가려지도록 형성한다. 이후 노출된 워드 라인 스페이서(54)를 식각 공정으로 제거한다. 이로써, 워드 라인 스페이서(54)는 콘택 플러그가 형성될 영역에 콘택 플러그와 워드 라인(53)이 전기적으로 연결되지 않을 정도의 마진(Margin)을 두고 워드 라인(53)의 측벽에 잔류된다. 이후 전체 상부에는 워드 라인(53)과 후속 공정에서 형성될 비트 라인간의 전기적 결연을 위하여 제 1 중간 절연막(도시되지 않음)을 형성한다. 콘택 플러그가 형성될 영역을 제외한 나머지 영역에는 워드 라인 스페이서가 제거되어 워드 라인(53)간의 간격이 충분히

확보되므로 중횡비가 낮아 제 1 층간 절연막을 워드 라인(53)간에 보이드 없이 용이하게 매립할 수 있다. 워드 라인 스페이서(54)가 잔류하는 영역은 후속 공정에서 콘택 플러그를 형성하기 위하여 제 1 층간 절연막이 제거되므로, 이 영역의 제 1 층간 절연막에 보이드가 발생하여도 문제가 되지 않는다. 워드 라인 스페이서 제거 공정이 완료되면, 제 1 포토 레지스트 패턴(60)을 제거한다.

<35> 도 5b를 참조하면, 전체 상부에 형성되어 있는 제 1 층간 절연막(도시되지 않음)상에 통상의 공정으로 소정 영역에 비트 라인 플러그(비트 라인 하부에 형성되어 도시되지 않음), 비트 라인(57), 비트 라인 스페이서(58)를 순차적으로 형성한다. 이후 후속 공정에서 형성될 커패시터를 포함한 상부 요소와의 전기적 연결을 위하여 콘택 플러그가 형성될 영역에 제 2 포토 레지스트 패턴(61)을 형성한다. 제 2 포토 레지스트 패턴(61)은 콘택 플러그가 형성될 영역의 비트 라인 스페이서(58)가 충분히 가려지도록 형성한다. 이후 노출된 비트 라인 스페이서(58)를 식각 공정으로 제거한다. 이로써, 비트 라인 스페이서(58)는 콘택 플러그가 형성될 영역에 콘택 플러그와 비트 라인(57)이 전기적으로 연결되지 않을 정도의 마진(Margin)을 두고 비트 라인(57)의 측벽에 잔류된다. 이후 전체 상부에는 비트 라인(53)과 후속 공정에서 형성될 커패시터를 포함한 상부 요소와의 전기적 절연을 위하여 제 2 층간 절연막(도시되지 않음)을 형성한다. 콘택 플러그가 형성될 영역을 제외한 나머지 영역에는 비트 라인 스페이서가 제거되어 비트 라인(57)간의 간격이 충분히 확보되므로 중횡비가 낮아 제 2 층간 절연막을 비트 라인(57)간에 보이드 없이 용이하게 매립할 수 있다. 마찬가지로, 비트 라인 스페이서(58)가 잔류하는 영역은 후속 공정에서 콘택 플러그를 형성하기 위하

여 제 2 층간 절연막을 제거해야 하므로, 이 영역의 제 2 층간 절연막에 보이드가 발생하여도 문제가 되지 않는다. 비트 라인 스페이서 제거 공정이 완료되면, 제 2 포토 레지스트 패턴(61)을 제거한다.

<36> 이후, 도면에는 도시되어 있지 않지만, 반도체 기판의 접합 영역이 노출되도록 소정 영역의 제 2 및 제 1 층간 절연막을 제거한 후 전도성 물질을 매립하여 콘택 플러그를 형성하고, 통상의 공정으로 커패시터를 포함한 상부 요소들을 형성한다.

<37> 상기의 공정은 워드 라인이나 비트 라인의 측벽에 절연막 스페이서를 형성한 후 플러그가 형성되지 않는 영역의 절연막 스페이서를 제거하고 층간 절연막을 매립하므로써 워드 라인이나 비트 라인간의 간격을 최대한 확보하여 층간 절연막의 매립 특성을 향상시킨다.

<38> 또한, 플러그가 형성되지 않는 영역의 절연막 스페이서를 제거하여 워드 라인이나 비트 라인간의 간격을 최대한 확보하기 위한 다른 실시예를 설명하면 다음과 같다.

<39> 통상의 공정을 통해 워드 라인이나 비트 라인이 형성된 후 절연막 스페이서를 형성하기 전에 워드 라인이나 비트 라인 사이를 층간 절연막으로 완전히 매립한다. 이때는 절연막 스페이서가 형성되지 않아 워드 라인이나 비트 라인간의 간격이 충분히 확보된 상태이므로 워드 라인이나 비트 라인 사이를 보이드 없이 층간 절연막으로 용이하게 매립할 수 있다. 이후 플러그가 형성될 영역의 층간 절연막만을 제거한 후 층간 절연막이 제거되어 노출된 워드 라인이나 비트 라인의 측벽에 절연막 스페이서를 형성한다.

<40> 또한, 플러그가 형성되지 않는 영역의 절연막 스페이서를 제거하여 워드 라인이나 비트 라인간의 간격을 최대한 확보하기 위한 또 다른 실시예를 설명하면 다음과 같다.

<41> 도 6a 내지 도 6c는 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법의 또 다른 실시예를 설명하기 위한 소자의 단면도이다.

<42> 도 6a를 참조하면, 소정의 영역에 소자 분리막(71)이 형성된 반도체 기판(71)에 통상의 공정으로 워드 라인(도시되지 않음), 워드라인 스페이서(도시되지 않음) 및 접합 영역(71a)을 형성한 후 전체 상부에 제 1 층간 절연막(73)을 형성한다. 접합 영역(71a) 상부의 제 1 층간 절연막(73)을 식각 공정으로 제거한 후 접합 영역(71a)과 후속 공정에서 형성될 상부 요소와의 전기적 연결을 위하여 제 1 층간 절연막(73)이 제거된 영역에 전도성 물질을 매립하여 제 1 콘택 플러그(64)를 형성한다. 이후 제 1 층간 절연막(73) 상부에 소정의 패턴으로 비트 라인(75) 및 질화막(76)등과 같은 절연막을 순차적으로 형성하고, 비트 라인(75) 및 질화막(76)의 측벽에 절연막 스페이서(77)를 형성한다. 이때, 제 1 콘택 플러그(74)는 비트 라인(75) 사이로 상부 표면이 노출된다. 이후 전체 상부에 폴리실리콘이나 전도성 물질을 형성한 후 평탄화 공정을 통해 질화막 상부의 폴리실리콘이나 전도성 물질을 제거하고 비트 라인(75) 사이에만 잔류시켜 제 2 콘택 플러그(78)를 형성한다. 비트 라인(75) 사이에 제 2 콘택 플러그(78)가 형성되면, 전체 상부에 소정의 패턴으로 포토레지스트 패턴(79)을 형성하여 불필요한 제 2 콘택 플러그만을 노출시킨다.

- <43> 도 6b를 참조하면, 식각 공정을 통해 불필요한 제 2 콘택 플러그를 제거하고, 제 2 콘택 플러그가 제거되면서 노출된 절연막 스페이서(77)도 제거한다. 이후 포토레지스트 패턴도 제거한다.
- <44> 이로써, 제 2 및 제 1 콘택 플러그(78 및 74)는 후속 공정에서 형성될 커패시터 등과 같은 상부요소를 접합 영역(71a)과 전기적으로 연결시킨다.
- <45> 도 6c를 참조하면, 전체상부에 제 2 층간 절연막(80)을 형성한 후 화학적 기계적 연마 공정등과 같은 평탄화 공정을 실시하여 제 2 콘택 플러그 및 절연막 스페이서가 제거된 비트 라인(75) 사이를 제 2 층간 절연막(80)으로 매립하여 비트 라인(75)을 전기적으로 절연시킨다.
- <46> 제 2 층간 절연막(80)이 매립되는 비트 라인(75) 사이는 절연막 스페이서가 제거되어 중공비가 낮아진 상태이므로 제 2 층간 절연막(80)을 보이드 없이 용이하게 매립할 수 있다.
- <47> 상기의 방법들은 메모리 소자에서 폭이 좁은 워드 라인이나 비트 라인 사이에 절연 물질을 용이하게 매립하는 방법이나, 일반적으로 폭이 좁은 금속 배선이나 패턴 사이를 절연막으로 매립할 경우에도 실시할 수 있다.

【발명의 효과】

<48> 상술한 바와 같이, 본 발명은 절연막 스페이서를 소정 영역만에 선택적으로 형성함으로써 금속 배선간에 절연물질을 보이드 없이 용이하게 매립하여 공정의 신뢰성 및 소자의 전기적 특성을 향상시키는 효과가 있다.

【특허 청구범위】**【청구항 1】**

콘택 플러그가 형성될 영역의 도전층 패턴 측벽에만 절연막 스페이서를 형성한 후 전체 상부에 층간 절연막을 형성하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 도전층 패턴은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 3】

통상의 공정을 거쳐 소정의 패턴으로 도전층 패턴 및 상기 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 단계;

콘택 플러그가 형성될 영역 이외의 영역에 형성된 상기 절연막 스페이서를 제거하는 단계 및

전체 상부에 층간 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 도전층 패턴은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 5】

통상의 공정을 거쳐 소정의 패턴으로 도전층 패턴을 형성하는 단계;

전체 상부에 층간 절연막을 형성하는 단계 및

콘택 플러그가 형성될 영역의 상기 층간 절연막을 제거한 후 상기 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 6】

제 5 항에 있어서,

상기 도전층 패턴은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 7】

통상의 공정을 거쳐 소정의 패턴으로 도전층 패턴 및 상기 도전층 패턴의 측벽에 절연막 스페이서를 형성하는 단계;

상기 도전층 패턴 사이를 전도성 물질로 매립하는 단계;

소정의 영역에만 상기 전도성 물질을 제거하고, 나머지 영역의 상기 전도성 물질은 잔류시켜 콘택 플러그를 형성하는 단계 및

상기 전도성 물질이 제거된 영역의 상기 도전층 패턴 사이를 층간 절연막으로 매립하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

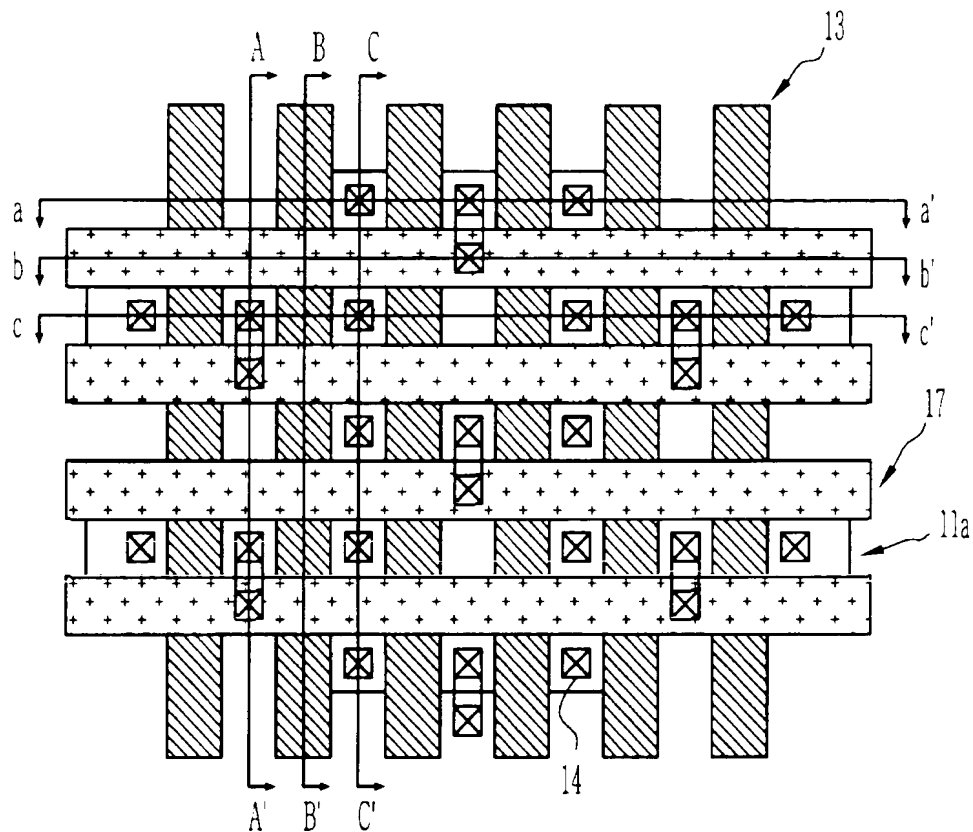
【청구항 8】

제 7 항에 있어서,

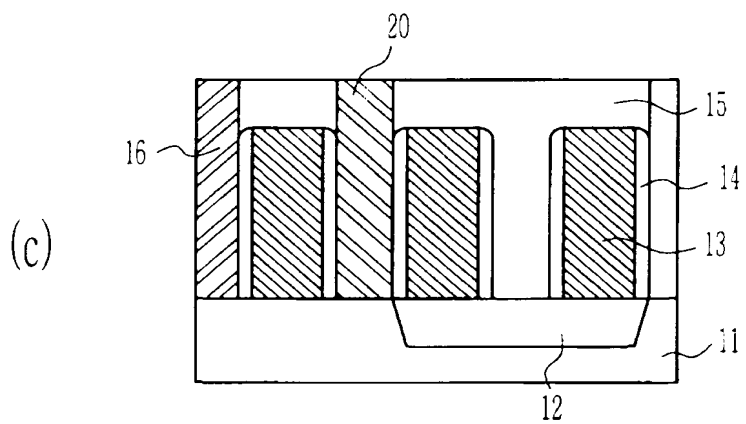
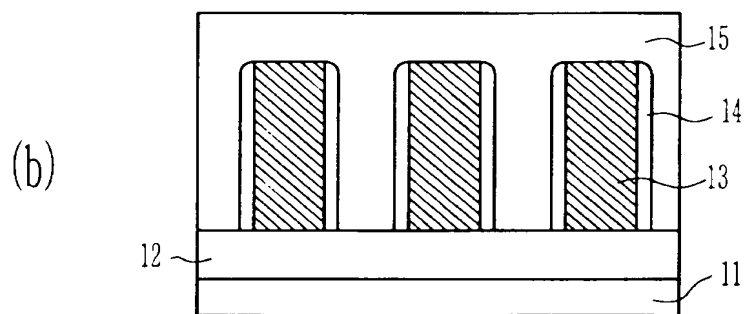
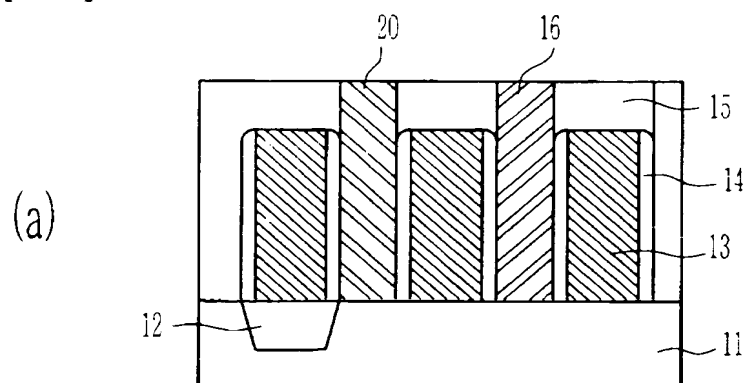
상기 도전층 패턴은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【도면】

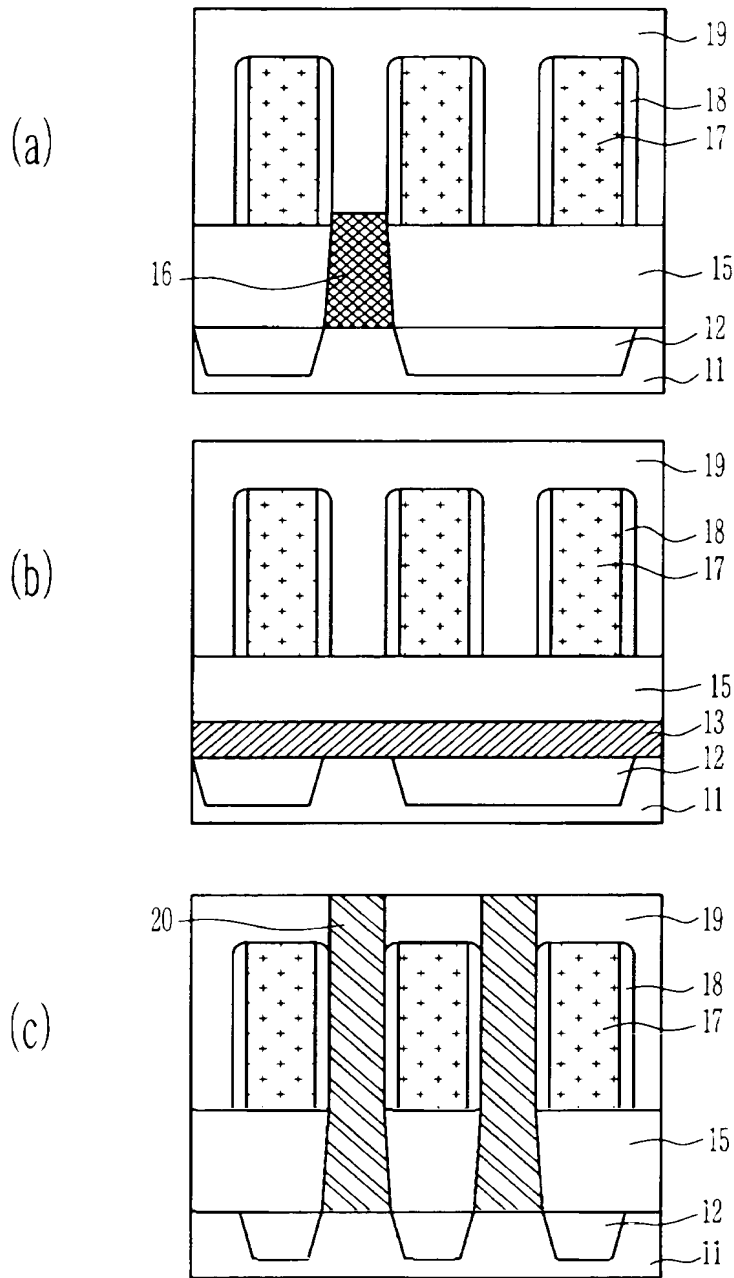
【도 1】



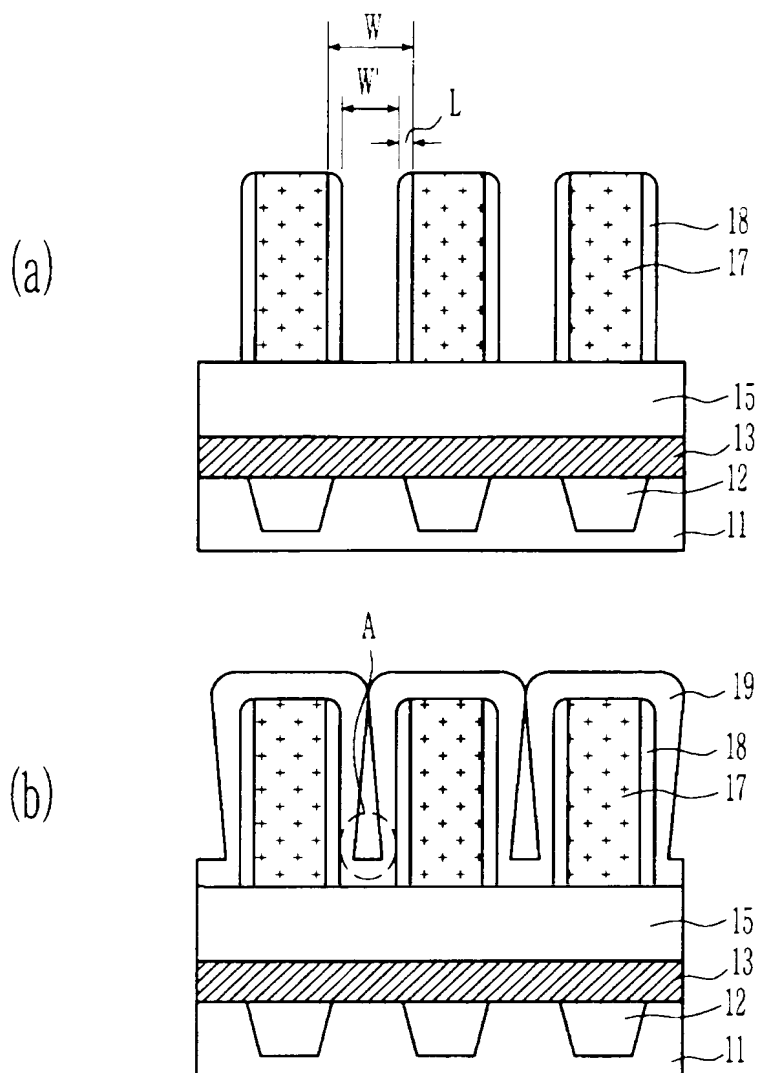
【도 2】



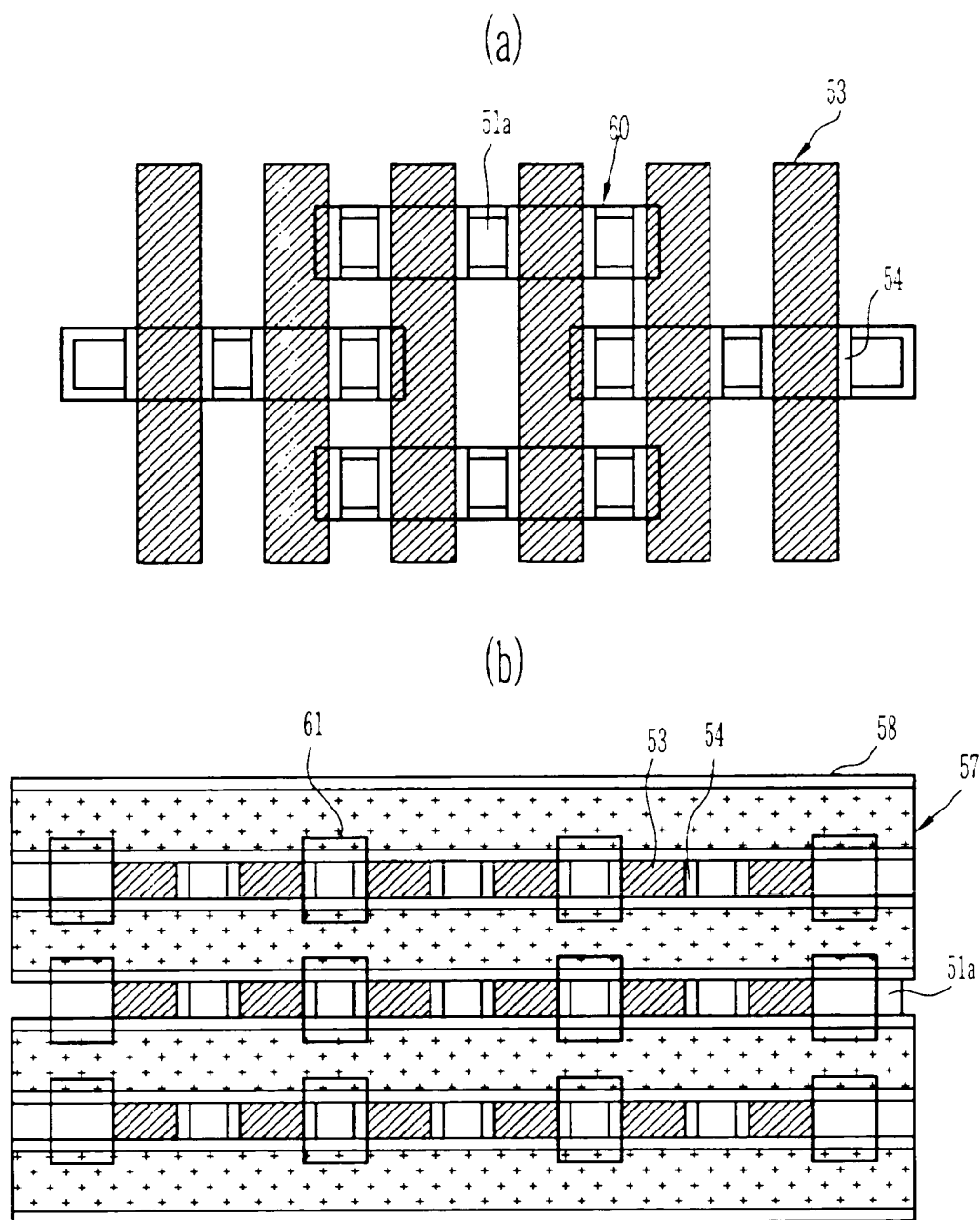
【도 3】



【도 4】



【도 5】



【도 6】

